



#6

Docket No. 501.41263X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): NAKABAYASHI, et al
Serial No.: 10/091,489
Filed: March 7, 2002
Title: FABRICATION METHOD OF SEMICONDUCTOR
INTEGRATED CIRCUIT DEVICE

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

June 18, 2002

Sir:

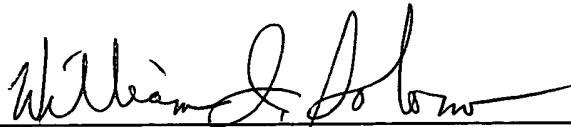
Under the provisions of 35 USC 119 and 37 CFR 1.55, the
applicant(s) hereby claim(s) the right of priority based on:

Japanese Patent Application No. 20001-121642
Filed: April 19, 2001

A certified copy of said Japanese Patent Application is
attached.

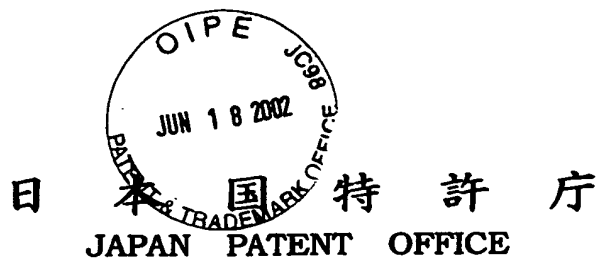
Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



William I. Solomon
Registration No. 28,565

WIS/gfa
Attachment



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 4月19日

出願番号

Application Number:

特願2001-121642

[ST.10/C]:

[JP2001-121642]

出願人

Applicant(s):

株式会社日立製作所

2002年 3月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3018667

【書類名】 特許願

【整理番号】 H01006461

【提出日】 平成13年 4月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/304

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 中林 伸一

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 安部 寿彦

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 土山 洋史

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日
立製作所 生産技術研究所内

【氏名】 榎山 雅樹

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日
立製作所 生産技術研究所内

【氏名】 西口 隆

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置の製造方法

【特許請求の範囲】

【請求項 1】 以下の工程を有する半導体集積回路装置の製造方法：

- (a) 安定な分散状態を有する研磨スラリを用意する工程、
- (b) 前記研磨スラリを、純水を主要な成分とする水溶液で希釈する工程、
- (c) 量産プロセスを流れるウエハの被処理面に、前記水溶液で希釈した直後の研磨スラリを供給して化学機械研磨処理を行う工程。

【請求項 2】 前記安定な分散状態を有する研磨スラリは、11～15重量%のシリカを含むことを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 3】 前記安定な分散状態を有する研磨スラリは、11～13重量%のシリカを含むことを特徴とする請求項 2 記載の半導体集積回路装置の製造方法。

【請求項 4】 前記安定な分散状態を有する研磨スラリは、12重量%のシリカを含むことを特徴とする請求項 2 記載の半導体集積回路装置の製造方法。

【請求項 5】 前記研磨スラリと前記水溶液の混合比率は、1（研磨スラリ）：1～1.2（水溶液）であることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 6】 前記研磨スラリを前記水溶液で希釈した後、2時間以内に前記ウエハの被処理面に供給することを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 7】 前記研磨スラリを前記水溶液で希釈した後、10分以内に前記ウエハの被処理面に供給することを特徴とする請求項 6 記載の半導体集積回路装置の製造方法。

【請求項 8】 前記研磨スラリを前記水溶液で希釈した後、10～15秒以内に前記ウエハの被処理面に供給することを特徴とする請求項 7 記載の半導体集積回路装置の製造方法。

【請求項 9】 前記安定な分散状態を有する研磨スラリの pH は、10.5

～ 1 1 . 5であることを特徴とする請求項 2 記載の半導体集積回路装置の製造方法。

【請求項 1 0】 前記安定な分散状態を有する研磨スラリは、その中に含まれる粒径 $1\ \mu\text{m}$ 以上の凝集粒子の濃度が 2 0 万個 / $0.5\ \text{cc}$ 以下になるまで静止放置したものを使用することを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 1 1】 前記安定な分散状態を有する研磨スラリは、その中に含まれる粒径 $1\ \mu\text{m}$ 以上の凝集粒子の濃度が 5 万個 / $0.5\ \text{cc}$ 以下になるまで静止放置したものを使用することを特徴とする請求項 1 0 記載の半導体集積回路装置の製造方法。

【請求項 1 2】 前記安定な分散状態を有する研磨スラリは、その中に含まれる粒径 $1\ \mu\text{m}$ 以上の凝集粒子の濃度が 2 万個 / $0.5\ \text{cc}$ 以下になるまで静止放置したものを使用することを特徴とする請求項 1 1 記載の半導体集積回路装置の製造方法。

【請求項 1 3】 前記安定な分散状態を有する研磨スラリは、3 0 日以上静止放置したものを使用することを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 1 4】 前記安定な分散状態を有する研磨スラリは、4 0 日以上静止放置したものを使用することを特徴とする請求項 1 3 記載の半導体集積回路装置の製造方法。

【請求項 1 5】 前記安定な分散状態を有する研磨スラリは、4 5 日以上静止放置したものを使用することを特徴とする請求項 1 4 記載の半導体集積回路装置の製造方法。

【請求項 1 6】 以下の工程を有する半導体集積回路装置の製造方法：

- (a) 1 1 ～ 1 5 重量%のシリカを含む研磨スラリを用意する工程、
- (b) 前記研磨スラリを、純水を主要な成分とする水溶液または薬液で希釈する工程、
- (c) 量産プロセスを流れるウエハの主面に、前記水溶液または薬液で希釈した直後の研磨スラリを供給して化学機械研磨処理を行うことにより、前記ウエハの

主面に研磨平坦化絶縁膜分離溝を形成する工程。

【請求項 1 7】 前記研磨スラリと前記水溶液または薬液の混合比率は、1（研磨スラリ）：1～1.2（水溶液または薬液）であることを特徴とする請求項 1 6 記載の半導体集積回路装置の製造方法。

【請求項 1 8】 前記研磨スラリを前記水溶液または薬液で希釈した後、2 時間以内に前記ウエハの主面に供給することを特徴とする請求項 1 6 記載の半導体集積回路装置の製造方法。

【請求項 1 9】 前記研磨スラリを前記水溶液または薬液で希釈した後、1 0 分以内に前記ウエハの主面に供給することを特徴とする請求項 1 8 記載の半導体集積回路装置の製造方法。

【請求項 2 0】 前記研磨スラリを前記水溶液または薬液で希釈した後、1 0～1 5 秒以内に前記ウエハの主面に供給することを特徴とする請求項 1 9 記載の半導体集積回路装置の製造方法。

【請求項 2 1】 前記（a）工程の研磨スラリに含まれる粒径 1 μ m 以上の凝集シリカ粒子の濃度は、2 0 万個／0.5 c c 以下であることを特徴とする請求項 1 6 記載の半導体集積回路装置の製造方法。

【請求項 2 2】 前記（a）工程の研磨スラリを、あらかじめ 3 0 日以上静止放置することを特徴とする請求項 1 6 記載の半導体集積回路装置の製造方法。

【請求項 2 3】 前記（a）工程の研磨スラリは、1 1～1 3 重量%のシリカを含むことを特徴とする請求項 1 6 記載の半導体集積回路装置の製造方法。

【請求項 2 4】 前記（a）工程の研磨スラリは、1 2 重量%のシリカを含むことを特徴とする請求項 2 3 記載の半導体集積回路装置の製造方法。

【請求項 2 5】 以下の工程を有する半導体集積回路装置の製造方法：

（a）ウエハの主面上に形成した耐酸化性絶縁膜をマスクに用いて前記ウエハの主面の素子分離領域をエッチングすることにより、前記ウエハの主面の前記素子分離領域に溝を形成する工程、

（b）前記溝の内部を含む前記ウエハの主面上に酸化シリコン系絶縁膜を形成する工程、

（c）1 1～1 5 重量%のシリカを含む研磨スラリを純水で希釈する工程、

(d) 前記 (b) 工程が完了した前記ウエハの主面上に、前記純水で希釈した直後の研磨スラリを供給し、前記耐酸化性絶縁膜を研磨のストッパに用いて前記酸化シリコン系絶縁膜を化学機械研磨することによって、前記酸化シリコン系絶縁膜を前記溝の内部に選択的に残し、前記素子分離領域に研磨平坦化絶縁膜分離溝を形成する工程。

【請求項 2 6】 前記研磨スラリを前記純水で希釈した後、2 時間以内に前記ウエハの主面に供給することを特徴とする請求項 2 5 記載の半導体集積回路装置の製造方法。

【請求項 2 7】 前記研磨スラリを前記純水で希釈した後、1 0 分以内に前記ウエハの主面に供給することを特徴とする請求項 2 6 記載の半導体集積回路装置の製造方法。

【請求項 2 8】 前記研磨スラリを前記純水で希釈した後、1 0 ～ 1 5 秒以内に前記ウエハの主面に供給することを特徴とする請求項 2 7 記載の半導体集積回路装置の製造方法。

【請求項 2 9】 以下の工程を有する半導体集積回路装置の製造方法：

- (a) 1 1 ～ 1 5 重量%のシリカを含む研磨スラリを用意する工程、
- (b) 量産プロセスを流れるウエハの主面に、前記研磨スラリと純水を主成分とする水溶液とを供給しながら化学機械研磨処理を行う工程。

【請求項 3 0】 前記研磨スラリと前記水溶液の供給比率は、1 (研磨スラリ) : 1 ～ 1. 2 (水溶液) であることを特徴とする請求項 2 9 記載の半導体集積回路装置の製造方法。

【請求項 3 1】 前記研磨スラリに含まれる粒径 1 μ m 以上の凝集シリカ粒子の濃度は、2 0 万個 / 0. 5 c c 以下であることを特徴とする請求項 2 9 記載の半導体集積回路装置の製造方法。

【請求項 3 2】 前記研磨スラリを、あらかじめ 3 0 日以上静止放置することを特徴とする請求項 2 9 記載の半導体集積回路装置の製造方法。

【請求項 3 3】 前記 (b) 工程は、前記ウエハの主面に研磨平坦化絶縁膜分離溝を形成する工程であることを特徴とする請求項 2 9 記載の半導体集積回路装置の製造方法。

【請求項 3 4】 前記（a）工程の研磨スラリは、1 1 ～ 1 3 重量%のシリカを含むことを特徴とする請求項 2 9 記載の半導体集積回路装置の製造方法。

【請求項 3 5】 前記（a）工程の研磨スラリは、1 2 重量%のシリカを含むことを特徴とする請求項 3 4 記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体集積回路装置の製造技術に関し、特に、半導体ウエハの表面に形成された薄膜を、化学機械研磨（Chemical Mechanical Polishing；CMP）法を用いて研磨する工程を有する半導体集積回路装置の製造に適用して有効な技術に関する。

【0 0 0 2】

【従来の技術】

半導体集積回路（LSI）の高集積化、高性能化に伴う微細加工技術の一つに化学機械研磨法があり、例えばSGI（Shallow Groove Isolation）と呼ばれる素子分離溝の形成、多層配線形成工程における層間絶縁膜の平坦化、埋め込みメタル配線の形成などに利用されている。この化学機械研磨技術については、例えば米国特許No. 4 9 4 4 8 3 6に記載がある。

【0 0 0 3】

上記化学機械研磨法は、硬質樹脂からなる研磨パッドを貼り付けた定盤上に研磨スラリを供給しながらウエハの表面を研磨する方法であり、研磨スラリとしては、一般にシリカ（酸化珪素）などの研磨剤微粒子を純水中に分散させ、これにpH調整用のアルカリを添加したものなどが使用される。

【0 0 0 4】

しかし、シリカを含んだ研磨スラリでウエハを研磨すると、スラリ中の粗大な凝集シリカ粒子によってウエハの表面に微小な傷（マイクロスクラッチ）が生じ、LSIの製造歩留まりや信頼性が低下するという問題が指摘されている。

【0 0 0 5】

特開平10-321588号公報（高ら）は、凝集粒子によってウエハの表面

にマイクロスクラッチが生じるのを防ぐ一つの方法を開示している。この公報によれば、一般に化学機械研磨工程では、研磨パッドに純水を供給し、継続的に濡れた状態を維持させている。研磨工程進行中は、純水で濡らした研磨パッドに研磨スラリを供給しながらウエハの研磨を行う。ところが、シリカを含んだ研磨スラリのpHは約10～11であり、純水のpHは7である。そのため、純水で濡らした研磨パッドに研磨スラリを供給すると、研磨スラリと純水との大きなpH差によって研磨スラリ中に粗大な凝集シリカ粒子が発生し、これがウエハの表面にマイクロスクラッチを生じさせる。

【0006】

そこで、上記公報では、あらかじめ研磨スラリと同じpHとなるようにpH調整された純水混合液で研磨パッドを濡らし、その後、この研磨パッドに研磨スラリを供給する方法を提案している。また、pH調整された純水混合液と研磨スラリとを所定の比に混合した混合物を製造し、これを研磨パッドに供給する方法も提案している。研磨スラリとしてアルカリ性物質を使用する場合は、pH調整用試薬としてアルカリ性試薬を使用し、研磨スラリとして酸性物質を使用する場合は、pH調整用試薬として酸性試薬を使用する。シリカを含んだアルカリ性の研磨スラリを使用する場合には、pH調整用試薬としてKOHまたは NH_4OH が好ましいとされている。

【0007】

【発明が解決しようとする課題】

最近のLSIは、素子の微細化および配線の多層化を推進するために、ウエハプロセスの複数の工程で化学機械研磨処理を行っている。例えば、ウエハの主面に素子分離溝を形成する工程では、まず耐酸化性絶縁膜をマスクに用いてウエハの主面をドライエッチングして素子分離領域に溝を形成し、続いてこの溝の内部を含むウエハの主面上に上記溝の深さよりも厚い膜厚を有する酸化シリコン膜を堆積した後、上記耐酸化性絶縁膜を研磨のストッパに用いて酸化シリコン膜を化学機械研磨し、この酸化シリコン膜を溝の内部に選択的に残すことによって素子分離溝を形成する。

【0008】

上記のような化学機械研磨工程では、一般にシリカ粒子を水に分散させた研磨スラリーが使用される。シリカは、その表面に親水性のシラノール基（ Si-OH ）が存在するため、シリカ粒子を水に分散させると、シラノール基の粒子間水素結合やファンデルワールス（van der Waals）力によって粒子（一次粒子）同士の凝集が起こり、単体粒子よりも粒径（粒子の直径）の大きい凝集粒子（二次粒子）が形成される。従って、シリカ粒子（分散質）を水（分散媒）に分散させた研磨スラリーにおいては、この凝集粒子が砥粒成分を構成している。

【 0 0 0 9 】

上記凝集粒子は、その粒径が比較的小さい場合は問題はない。ところが、実際の研磨スラリー中には $1\ \mu\text{m}$ 以上の粒径を持った粗大な凝集粒子（本願においては $1\ \mu\text{m}$ 以上の粒径を持った凝集粒子を特に「粗大凝集粒子」という）が存在するため、これがウエハの表面にマイクロスクラッチと呼ばれる微小な傷を与え、歩留まりや信頼性の低下を引き起こす。例えば前述した素子分離溝の形成工程において、耐酸化性絶縁膜を研磨のストッパに用いて酸化シリコン膜を化学機械研磨する際、耐酸化性絶縁膜の表面にマイクロスクラッチが生じると、その一部が下地のシリコン基板に達し、その表面にダメージを与える。

【 0 0 1 0 】

研磨スラリー中の粗大な凝集粒子を取り除く方法として、研磨スラリーをフィルタリングする方法もある程度有効であるが、凝集粒子を取り除いた研磨スラリーを放置すると再び凝集が始まるため、根本的な対策とはならない。

【 0 0 1 1 】

そこで、本発明者らは、先に凝集粒子によってウエハの表面にマイクロスクラッチが生じるのを防ぐ方法を提案した（特願 2 0 0 0 - 1 4 5 3 7 9 号）。この方法は、ウエハの被処理面に研磨スラリーを供給して化学機械研磨処理を行う工程に先立ち、研磨スラリーを一定期間静止状態で放置することによって、研磨スラリー中に含まれる粒径 $1\ \mu\text{m}$ 以上の凝集シリカ粒子の濃度を 2 0 万個 / $0.5\ \text{cc}$ 、好ましくは 5 万個 / $0.5\ \text{cc}$ 以下、より好ましくは 2 万個 / $0.5\ \text{cc}$ 以下にするというものである。

【 0 0 1 2 】

本発明者らが提案した上記の方法は、研磨スラリー中に含まれる粗大凝集シリカ粒子の濃度を極めて有効に低減することができる。しかし、研磨スラリーの製造ロットのばらつきなどによって、必ずしも静置期間が一定になるとは限らないため、この方法だけでは粗大凝集シリカ粒子の濃度を十分に低減できない場合もある。

【 0 0 1 3 】

本発明の目的は、化学機械研磨工程で使用する研磨スラリー中の凝集粒子密度を低減することのできる技術を提供することにある。

【 0 0 1 4 】

本発明の他の目的は、マイクロスクラッチを低減できる化学機械研磨技術を提供することにある。

【 0 0 1 5 】

本発明の他の目的は、化学機械研磨工程でのマイクロスクラッチに起因する集積回路装置の歩留まりおよび信頼性の低下を抑制することのできる技術を提供することにある。

【 0 0 1 6 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 7 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 8 】

本願の一発明である半導体集積回路装置の製造方法は、

- (a) 安定な分散状態を有する研磨スラリーを用意する工程、
 - (b) 前記研磨スラリーを、純水を主要な成分とする水溶液で希釈する工程、
 - (c) 量産プロセスを流れるウエハの被処理面に、前記水溶液で希釈した直後の研磨スラリーを供給して化学機械研磨処理を行う工程、
- を含んでいる。

【0019】

なお、本願において、化学機械研磨（CMP）とは、一般に被研磨面を相対的に軟らかい布様のシート材料などからなる研磨パッドに接触させた状態で、研磨スラリを供給しながら面方向に相対移動させて研磨を行うことをいう。

【0020】

研磨スラリとは、一般に水および化学エッチング薬剤（分散媒）に研磨剤微粒子（分散質）を配合した液体コロイド状態の懸濁液（サスペンション）をいう。また、研磨剤微粒子とは、一般にシリカ、セリア、ジルコニア、アルミナなどの微粒子をいう。

【0021】

研磨平坦化絶縁膜分離溝とは、化学機械研磨処理によって表面が平坦化された絶縁膜を溝の内部に選択的に残すことによって形成される素子分離溝をいう。従って、単に溝の内部に絶縁膜を堆積するだけで形成されるような素子分離溝は、ここでいう研磨平坦化絶縁膜分離溝には当たらない。例えば、一般にSGI (Shallow Groove Isolation)あるいはSTI (Shallow Trench Isolation)などと呼ばれる素子分離溝が、ここでいう研磨平坦化絶縁膜分離溝に当たる。

【0022】

純水(Deionized Water)とは、半導体製造工程で「純水」として使用されている水の外、純水を主要な成分とする水溶液、薬液などを含むものとする。

【0023】

本願において、ウエハラインにおける量産プロセスとは、当該ウエハラインで使用される特定の化学機械研磨装置の1日あたりのスループットが8インチウエハ換算で少なくとも25枚以上ないしは50枚以上、より一般的には100枚以上である場合をいうものとする。なお、この限界ウエハ枚数は、ウエハの面積に反比例することはいうまでもない。

【0024】

また、以下の実施の形態では、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補

足説明などの関係にある。

【 0 0 2 5 】

また、以下の実施の形態において、要素の数など（個数、数値、量、範囲などを含む）に言及する場合、特に明示したときおよび原理的に明らかに特定の数に限定されるときを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップなどを含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合を除き、必ずしも必須のものではないことはいうまでもない。

【 0 0 2 6 】

同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合を除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは、上記数値および範囲についても同様である。

【 0 0 2 7 】

また、本願において半導体集積回路装置というときは、特に単結晶シリコン基板上に作られるものだけでなく、特にそうでない旨が明示された場合を除き、S O I (Silicon On Insulator) 基板や T F T (Thin Film Transistor) 液晶製造用基板などといった他の基板上に作られるものを含むものとする。また、ウエハとは半導体集積回路装置の製造に用いる単結晶シリコン基板（一般にほぼ円盤形）、S O I 基板、ガラス基板その他の絶縁、半絶縁または半導体基板などやそれらを複合した基板をいう。

【 0 0 2 8 】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 2 9 】

（実施の形態 1）

本発明の一実施形態である D R A M (Dynamic Random Access Memory) の製造方

法を図1から図22を用いて工程順に説明する。

【0030】

まず、図1に示すように、例えば $1 \sim 10 \Omega \text{cm}$ 程度の比抵抗を有するp型の単結晶シリコンからなる基板（ウエハ）1を約 850°C で熱酸化してその表面に膜厚 10nm 程度の薄い酸化シリコン膜2を形成した後、酸化シリコン膜2の上部にCVD法で膜厚 120nm 程度の窒化シリコン膜（耐酸化膜）3を堆積する。

【0031】

上記窒化シリコン膜3は、素子分離領域の基板1をエッチングして溝を形成する際のマスクとして使用される。また、窒化シリコン膜3は、酸化されにくい性質を持つので、その下部の基板1の表面が酸化されるのを防ぐマスクとしても使用される。窒化シリコン膜3の下部の酸化シリコン膜2は、基板1と窒化シリコン膜3との界面に生じるストレスを緩和し、このストレスに起因して基板1の表面に転位などの欠陥が発生するのを防ぐために形成される。

【0032】

次に、図2に示すように、フォトリジスト膜4をマスクにしたドライエッチングで素子分離領域の窒化シリコン膜3とその下部の酸化シリコン膜2とを選択的に除去した後、図3に示すように、窒化シリコン膜3をマスクにしたドライエッチングで素子分離領域の基板1に深さ 350nm 程度の溝5aを形成する。

【0033】

次に、フォトリジスト膜4を除去した後、図4に示すように、基板1を約 $800 \sim 1000^\circ\text{C}$ で熱酸化することによって、溝5aの内壁に膜厚 10nm 程度の薄い酸化シリコン膜6を形成する。この酸化シリコン膜6は、溝5aの内壁に生じたドライエッチングのダメージを回復すると共に、後の工程で溝5aの内部に埋め込まれる酸化シリコン膜7と基板1との界面に生じるストレスを緩和するために形成する。

【0034】

次に、図5に示すように、溝5aの内部を含む基板1上にCVD法で酸化シリコン膜7を堆積する。この酸化シリコン膜7は、溝5aの深さよりも厚い膜厚（例えば 500 から 600nm 程度）で堆積し、溝5aの内部を酸化シリコン膜7

で隙間なく埋め込むようにする。酸化シリコン膜 7 は、例えば酸素とテトラエトキシシラン($(C_2H_5)_4Si$)とを使ったプラズマ CVD 法で成膜される酸化シリコン膜（以下、p-TEOS 膜という）のようなステップカバレッジ（段差被覆性）のよい膜で構成する。

【 0 0 3 5 】

次に、基板 1 を約 1 0 0 0℃で熱酸化することによって、溝 5 a に埋め込んだ酸化シリコン膜 7 の膜質を改善するためのデンシファイ（焼き締め）処理を行った後、図 6 に示すように、溝 5 a の上部に形成したフォトレジスト膜 8 をマスクにして窒化シリコン膜 3 の上部の酸化シリコン膜 7 をドライエッチングする。このドライエッチングは、酸化シリコン膜 7 の表面の高さを溝 5 a の上部と窒化シリコン膜 3 の上部とでほぼ同じにするために行う。

【 0 0 3 6 】

次に、図 7 に示すように、酸化シリコン膜 7 の上部のフォトレジスト膜 8 を除した後、以下のような方法で酸化シリコン膜 7 を化学機械研磨処理する。

【 0 0 3 7 】

図 8 は、酸化シリコン膜 7 の研磨に用いる化学機械研磨装置 1 0 0 の処理部を示す概略図である。図示のように、化学機械研磨装置 1 0 0 の処理部には、ウエハ（基板）1 を枚葉方式で研磨処理する定盤 1 0 1 が設置されている。

【 0 0 3 8 】

定盤 1 0 1 は、図示しない駆動機構によって水平面内で回転駆動するようになっている。また、定盤 1 0 1 の上面には、多数の気孔を有するポリウレタンなどの合成樹脂からなる研磨パッド 1 0 2 が貼り付けられている。

【 0 0 3 9 】

定盤 1 0 1 の上方には、図示しない駆動機構によって上下動および水平面内で回転駆動するウエハキャリア 1 0 3 が設置されている。ウエハ 1 は、このウエハキャリア 1 0 3 の下端部に設けられたリテーナリング 1 0 4 およびメンブレン 1 0 6 によって、その主面（被研磨面）を下向きにして保持され、所定の荷重で研磨パッド 1 0 2 に押し付けられる。研磨パッド 1 0 2 の表面とウエハ 1 の被研磨面との間には、スラリー供給管 1 0 5 を通じて研磨スラリー S が供給され、ウエハ 1

の被研磨面が化学的かつ機械的に研磨される。

【0040】

また、定盤101の上方には、図示しない駆動機構によって上下動および水平面内で回転駆動するドレッサ107が設置されている。ドレッサ107の下端部にはダイヤモンド粒子を電着した基材が取り付けられており、研磨パッド102の表面は、研磨砥粒による目詰まりを防止するために、この基材によって定期的に切削される。

【0041】

ここで使用する研磨スラリーSは、研磨砥粒成分であるフュームドシリカ (Fumed Silica) を水に分散させ、水酸化アンモニウム (NH_4OH) を添加してpHを調整したものである。この研磨スラリーSは、次のような方法で成分が調整された後、研磨パッド102の表面とウェハ1の被研磨面との間に供給される。

【0042】

まず、水に分散させたシリカが最も安定な状態を保つようにシリカ濃度を調整した研磨スラリーSを用意する。具体的には、11～15重量%、好ましくは11～13重量%、より好ましくは12重量%のシリカを含み、水酸化アンモニウム (NH_4OH) の添加によってpHを11付近 (10.5～11.5) に調整した研磨スラリーSを用意する。

【0043】

市販の研磨スラリーSの中には、シリカ濃度を上記の範囲に調整したものがあるので、それを使用すればよい。ただし、市販の研磨スラリーSの中には、本発明で問題となるマイクロスクラッチを引き起こす原因となる粒径1 μm 以上の粗大凝集粒子や異物などが含まれている。従って、市販の研磨スラリーSを化学機械研磨装置100に供給する際には、スラリーメーカーから購入した研磨スラリーSを保管するタンクと化学機械研磨装置100とを接続する配管系にフィルタを設け、研磨スラリーS中の粗大凝集粒子や異物を十分に除去することが望ましい。

【0044】

また、化学機械研磨装置100に供給する研磨スラリーSは、あらかじめタンク内で少なくとも30日以上、好ましくは40日以上、より好ましくは45日以上

静止放置し、研磨スラリー S 0.5 cc あたりに含まれる粒径 $1\ \mu\text{m}$ 以上の粗大凝集粒子の数が 20 万個以下、好ましくは 5 万個以下、より好ましくは 2 万個以下となったことを確認してから使用することで、マイクロスクラッチの発生を有効に抑制することができる。さらに、上記の期間静止放置した研磨スラリー S をタンクから抜き取って化学機械研磨装置 100 に輸送する際は、タンクの底部に沈殿した異物や粗大凝集粒子の混入を避けるため、タンクの底部から 5 cm 以上、好ましくは 10 cm 以上の上澄み部分を抜き取るようにする。

【0045】

研磨スラリー S の静止放置とは、研磨スラリー S をタンクに充填し、振動、攪拌、加熱（対流との物質輸送を伴うもの）などの操作を加えることなく、静止状態で放置することをいう。なお、ここで述べた研磨スラリー S の保管方法については、本発明者らによる特願 2000-145379 号に詳細な記載がある。

【0046】

次に、本実施形態では、上記研磨スラリー S を純水で希釈する。研磨スラリー S と純水の混合比率は、1（研磨スラリー）：1～1.2（純水）程度とし、希釈後の研磨スラリー S に含まれるシリカ濃度を 3～9 重量%、好ましくは 4～8 重量%、より好ましくは 8 重量%程度に調整する。なお、市販の研磨スラリー S の中には、シリカを高濃度（例えば 25 重量%）に含んだものもある。このような高濃度のシリカを含んだ研磨スラリー S を使用する場合は、純水の混合比率を大きくすることによって、希釈後の研磨スラリー S に含まれるシリカ濃度を上記した範囲内に調整する。なお、純水といった場合は、純水を主要な成分とする水溶液または薬液などを含むが、ここでは「純水」と総称する。

【0047】

このように、研磨スラリー S を純水で希釈してその容積を大きくすることにより、研磨スラリー S に含まれる凝集粒子の濃度が低下する。なお、研磨スラリー S の希釈率を大きくすれば、凝集粒子の濃度もより一層低下するが、研磨スラリー S の砥粒成分濃度が低下すると研磨レートも低下してしまうため、希釈後の研磨スラリー S に含まれるシリカ濃度は、少なくとも 3 重量%以上とすることが望ましい。

【0048】

また、研磨スラリー S を純水で希釈すると凝集粒子の濃度は一時的に低下するが、この研磨スラリー S を放置すると、再びシリカ粒子の凝集が始まる。従って、純水で希釈した研磨スラリー S は、できるだけ速やかに研磨に供すべきである。すなわち、研磨スラリー S の希釈作業は、研磨スラリー S を研磨パッド 1 0 2 とウエハ 1 の被研磨面との間に供給する直前に行う。

【 0 0 4 9 】

研磨スラリー S を純水で希釈してから研磨に供するまでの時間は、最大でも 2 時間程度であり、これを超えると凝集粒子の濃度が希釈前のレベルに戻ってしまうため、希釈の効果がない。また、研磨スラリー S 中でのシリカ粒子の再凝集は時間と共に進行するため、研磨スラリー S を希釈してから研磨に供するまでの時間は、短ければ短いほどよく、通常は希釈後 1 0 分以内、好ましくは 1 0 ～ 1 5 秒以内とする。

【 0 0 5 0 】

一例として、図 9 に示すように、スラリー供給管 1 0 5 の内部に研磨スラリー供給用の配管 1 0 5 a と純水供給用の配管 1 0 5 b とを設け、スラリー供給管 1 0 5 の先端部で研磨スラリー S と純水とを混合することにより、純水で希釈された研磨スラリー S を瞬時に研磨に供することができる。

【 0 0 5 1 】

また、研磨パッド 1 0 2 上に純水供給管をスラリー供給管 1 0 5 とを別々に設け、純水供給管から供給される純水と、スラリー供給管 1 0 5 から供給される研磨スラリー S とを研磨パッド 1 0 2 の表面で混合してもよい。さらに、研磨スラリー S を研磨パッド 1 0 2 の表面に供給した後、純水を研磨パッド 1 0 2 の表面に供給することによって両者を混合してもよい。ただし、研磨スラリー S と純水を研磨パッド 1 0 2 の表面で混合した場合は、局所的に両者の比率が不均一になり、その結果、ウエハ面内での研磨量が不均一になることがあるので、注意を要する。

【 0 0 5 2 】

量産プロセスを流れる基板（ウエハ） 1 は、上記化学機械研磨装置 1 0 0 の処理部に一枚ずつ搬入され、ウエハキャリア 1 0 3 の下端部に保持された後、その表面に堆積した前記酸化シリコン膜 7 が希釈された研磨スラリー S によって研磨さ

れる。研磨の条件は、一例として荷重 = 250 g/cm^2 、ウエハキャリア回転数 = 30 rpm 、定盤回転数 = 25 rpm 、スラリー流量 = 200 cc/min である。

【0053】

図10は、化学機械研磨処理が完了した直後の基板（ウエハ）1の断面を示している。上記酸化シリコン膜7の研磨は、窒化シリコン膜3をストッパにして行い、窒化シリコン膜3の膜厚が 60 nm になった時点をその終点とする。これにより、基板（ウエハ）1の主面の素子分離領域には、酸化シリコン膜7が埋め込まれた素子分離溝5が形成される。

【0054】

研磨処理が終了した基板（ウエハ）1は、ウエハキャリア103から取り外された後、化学機械研磨装置100の後段に接続された洗浄装置（図示せず）に一枚ずつ搬送され、純水スクラブ洗浄、純水超音波洗浄、純水流水洗浄あるいは純水スピン洗浄などの方法によって、研磨スラリーSに含まれるシリカ砥粒やアルカリ金属イオンが除去される。そして、スピン乾燥またはIPA（イソプロピルアルコール）蒸気乾燥などの乾燥処理に付された後、次の工程へ搬送される。一方、化学機械研磨装置100には、前記図7に示す工程が完了した新たな基板（ウエハ）1が一枚ずつ搬入され、上記した化学機械研磨処理が繰り返される。

【0055】

図11は、上記した素子分離溝5の形成工程でウエハ1の表面に発生したスクラッチ欠陥密度の数を、純水で希釈した研磨スラリー（シリカ濃度 = 6重量%）を使用した場合と、希釈しない研磨スラリー（シリカ濃度 = 12重量%）を使用した場合とで比較したグラフである。縦軸は、日立東京エレクトロニクス社製の自動ウエハ外観検査装置（WI-800）を使って測定したスクラッチ欠陥密度を示し、横軸は検査日を示している。図示のように、純水で希釈した研磨スラリーを使用した日以降は、それ以前に比べてスクラッチ欠陥密度が顕著に低減した。

【0056】

図12は、鏡面ウエハの主面にプラズマCVD法で酸化シリコン膜を堆積し、純水で希釈した研磨スラリー（シリカ濃度 = 6重量%）を使用して研磨を行った場合（同図（a））と、希釈しない研磨スラリー（シリカ濃度 = 12重量%）を使用

して研磨を行った場合（同図（b））とでマイクロスクラッチの数を比較した結果を示すグラフである。マイクロスクラッチの数は、日立DECOS社製の外観検査装置（LS-6510）を使用した。図示のように、純水で希釈した研磨スラリーを使用して研磨を行ったウエハは、希釈しない研磨スラリーを使用して研磨を行ったウエハ比べてマイクロスクラッチの数が顕著に低減した。

【0057】

次に、素子分離溝5の形成後の工程を簡単に説明する。まず、図13に示すように、熱リン酸を用いて基板1上の窒化シリコン膜3を除去し、続いて窒化シリコン膜3の下部の酸化シリコン膜2をフッ酸で除去した後、基板1を約800～1000℃で熱酸化することによって、活性領域の表面に膜厚10nm程度の薄い酸化シリコン膜10を形成する。

【0058】

次に、図14に示すように、酸化シリコン膜10を通して基板1にホウ素（B）をイオン注入することによってp型ウエル9を形成し、続いて酸化シリコン膜10をフッ酸で除去した後、基板1を約800～850℃で熱酸化することによって、活性領域の表面に膜厚6nm～8nm程度の清浄なゲート酸化膜11を形成する。

【0059】

次に、図15に示すように、ゲート酸化膜11の上部にゲート電極12（ワード線WL）を形成する。ゲート電極12（ワード線WL）は、例えばゲート酸化膜11上にリン（P）をドーブした膜厚50nm程度の多結晶シリコン膜をCVD法で堆積し、続いてその上部にスパッタリング法で膜厚120nm程度のWSi₂（タングステンシリサイド）膜を堆積し、さらにその上部にCVD法で膜厚160nm程度の窒化シリコン膜13を堆積した後、フォトリジスト膜（図示せず）をマスクにしたドライエッチングでこれらの膜をパターニングすることによって形成する。

【0060】

次に、エッチング残渣を除去するためにゲート酸化膜11の表面をフッ酸で洗浄した後、図16に示すように、p型ウエル9にリン（P）またはヒ素（As）

をイオン注入することによってn型半導体領域14（ソース、ドレイン）を形成する。ここまでの工程により、DRAMのメモリセル選択用MISFETQsが略完成する。

【0061】

次に、図17に示すように、基板1上にCVD法で窒化シリコン膜15を堆積し、続いて窒化シリコン膜15上にスピノングラス膜16をスピノ塗布した後、スピノングラス膜16の上部にCVD法で酸化シリコン膜17を堆積する。

【0062】

次に、図18に示すように、酸化シリコン膜17を化学的機械研磨法で研磨してその表面を平坦化する。この研磨工程で酸化シリコン膜17にマイクロスクラッチが発生し、その一部が下層のスピノングラス膜16に達すると、次の工程で行うフッ酸洗浄によって、スピノングラス膜16のスクラッチが拡大されるため、後の工程でスピノングラス膜16に形成するコンタクトホール18、19にプラグ20を埋め込んだ際、スクラッチを通じてプラグ20同士が短絡する虞れがある。従って、この化学的機械研磨工程では、前述したような純水で希釈した研磨スラリーを使って研磨を行う。

【0063】

次に、図19に示すように、フォトリジスト膜（図示せず）をマスクにして酸化シリコン膜17、スピノングラス膜16および窒化シリコン膜15をドライエッチングし、n型半導体領域14（ソース、ドレイン）の上部にコンタクトホール18、19を形成する。

【0064】

次に、コンタクトホール18、19の内部をフッ酸で洗浄した後、コンタクトホール18、19の内部にプラグ20を形成する。プラグ20を形成するには、例えばコンタクトホール18、19の内部および酸化シリコン膜17の上部にリン（P）ドーピングした低抵抗多結晶シリコン膜をCVD法で堆積した後、酸化シリコン膜17の上部の不要な多結晶シリコン膜をドライエッチング（または化学機械研磨法）で除去する。

【0065】

次に、図20に示すように、酸化シリコン膜17の上部にCVD法で酸化シリコン膜21を堆積し、続いてコンタクトホール18の上部の酸化シリコン膜21をエッチングしてスルーホール22を形成した後、スルーホール22の内部にプラグ23を形成する。プラグ23は、例えば酸化シリコン膜21の上部にTiN（窒化チタン）膜およびW（タングステン）膜を堆積した後、酸化シリコン膜21の上部の不要なW膜およびTiN膜を化学機械研磨法で除去することによって形成する。続いて、酸化シリコン膜21の上部にスパッタリング法で堆積したW膜をパターンニングすることによって、プラグ23の上部にビット線BLを形成する。

【0066】

次に、ビット線BLの上部にCVD法で酸化シリコン膜24を堆積し、続いてコンタクトホール19の上部の酸化シリコン膜24をエッチングしてスルーホール25を形成した後、スルーホール25の内部にプラグ26を形成する。プラグ26を形成するには、例えばスルーホール25の内部および酸化シリコン膜24の上部にリン（P）ドーブした低抵抗多結晶シリコン膜をCVD法で堆積した後、酸化シリコン膜24の上部の不要な多結晶シリコン膜をドライエッチング（または化学機械研磨法）で除去する。

【0067】

次に、図21に示すように、酸化シリコン膜24の上部にCVD法で窒化シリコン膜27を堆積し、続いて窒化シリコン膜27の上部にCVD法で酸化シリコン膜28を堆積した後、フォトリジスト膜（図示せず）をマスクにして酸化シリコン膜28およびその下部の窒化シリコン膜27をドライエッチングすることによって、スルーホール25の上部に溝29を形成する。後述する情報蓄積用容量素子Cの下部電極30は、この溝29の内壁に沿って形成されるので、下部電極30の表面積を大きくして蓄積電荷量を増やすためには、酸化シリコン膜28を厚い膜厚で堆積する必要がある。

【0068】

次に、図22に示すように、溝29の内部に下部電極30、容量絶縁膜31および上部電極32からなる情報蓄積用容量素子Cを形成する。下部電極30は、

例えばリン (P) ドープした低抵抗多結晶シリコン膜で構成し、容量絶縁膜 3 1 は、例えば酸化タンタル (Ta_2O_5) 膜で構成する。また、上部電極 3 2 は、TiN 膜で構成する。ここまでの工程により、メモリセル選択用 MISFET Qs とこれに直列に接続された情報蓄積用容量素子 C とで構成されたメモリセルが完成する。

【0069】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0070】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0071】

化学機械研磨法を用いてウエハの表面を研磨する直前に、研磨スラリを純水で希釈して凝集粒子の濃度を下げることにより、マイクロスクラッチを低減できるので、半導体集積回路装置の歩留まりおよび信頼性を向上させることができる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図 2】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図 3】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図 4】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基

板の要部断面図である。

【図 5】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図 6】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図 7】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図 8】

酸化シリコン膜の化学機械研磨に用いる化学機械研磨装置の処理部を示す概略図である。

【図 9】

図 8 に示す化学機械研磨装置のスラリ供給管を示す概略図である。

【図 1 0】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図 1 1】

スクラッチ欠陥密度と研磨スラリ濃度との関係进行评估した結果を示すグラフである。

【図 1 2】

(a)、(b) は、スクラッチ欠陥密度と研磨スラリ濃度との関係进行评估した結果を示すグラフである。

【図 1 3】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図 1 4】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基

板の要部断面図である。

【図 1 5】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図 1 6】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図 1 7】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図 1 8】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図 1 9】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図 2 0】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図 2 1】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図 2 2】

本発明の一実施の形態である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【符号の説明】

- 1 シリコン基板（ウエハ）
- 2 酸化シリコン膜
- 3 窒化シリコン膜

- 4 フォトレジスト膜
- 5 素子分離溝
- 5 a 溝
- 6 酸化シリコン膜
- 7 酸化シリコン膜
- 8 フォトレジスト膜
- 9 p型ウエル
- 1 0 酸化シリコン膜
- 1 1 ゲート酸化膜
- 1 2 ゲート電極
- 1 3 窒化シリコン膜
- 1 4 n型半導体領域 (ソース、ドレイン)
- 1 5 窒化シリコン膜
- 1 6 スピンオンガラス膜
- 1 7 酸化シリコン膜
- 1 8、1 9 コンタクトホール
- 2 0 プラグ
- 2 1 酸化シリコン膜
- 2 2 スルーホール
- 2 3 プラグ
- 2 4 酸化シリコン膜
- 2 5 スルーホール
- 2 6 プラグ
- 2 7 窒化シリコン膜
- 2 8 酸化シリコン膜
- 2 9 溝
- 3 0 下部電極
- 3 1 容量絶縁膜
- 3 2 上部電極

1 0 0 化学機械研磨装置

1 0 1 定盤

1 0 2 研磨パッド

1 0 3 ウエハキャリア

1 0 4 リテーナリング

1 0 5 スラリ供給管

1 0 5 a、1 0 5 b 配管

1 0 6 メンブレン

1 0 7 ドレッサ

B L ビット線

C 情報蓄積用容量素子

Q s メモリセル選択用M I S F E T

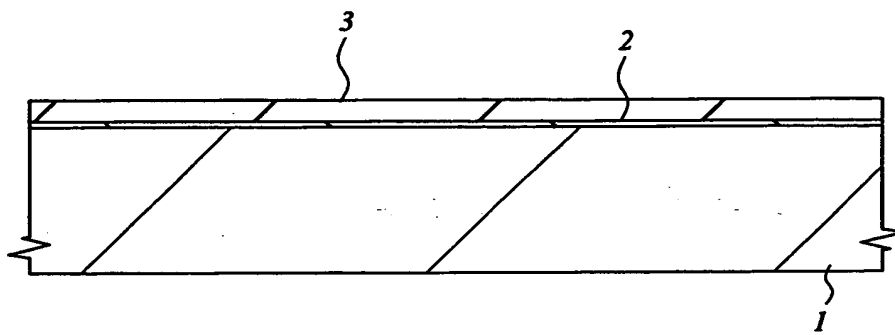
S 研磨スラリ

W L ワード線

【書類名】 図面

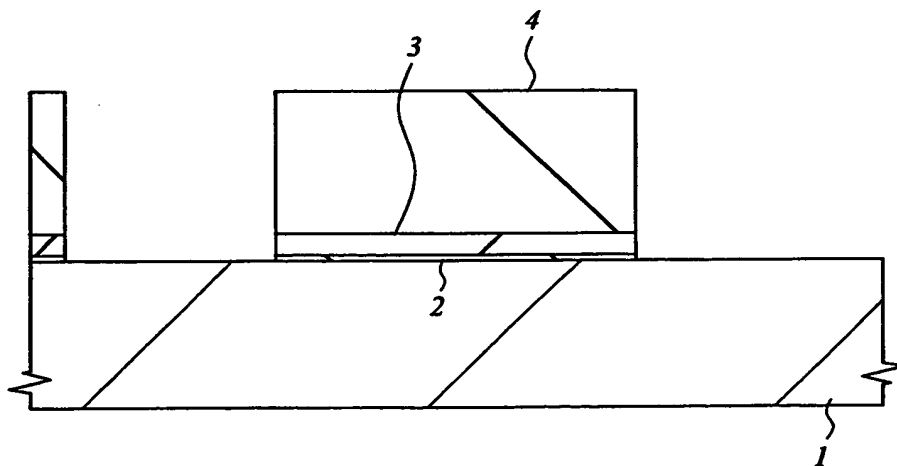
【図1】

図 1



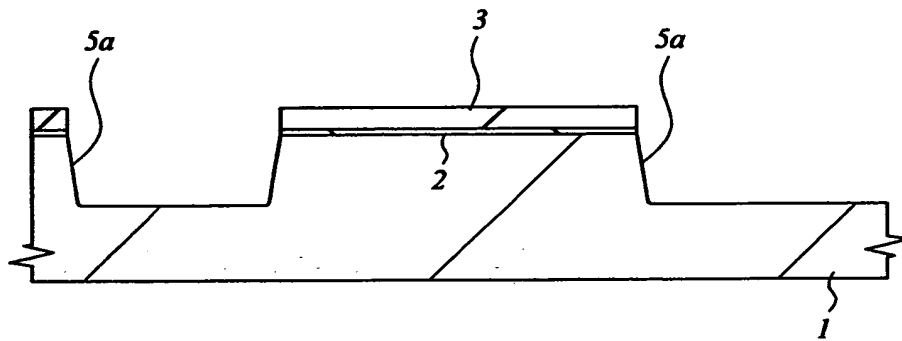
【図2】

図 2



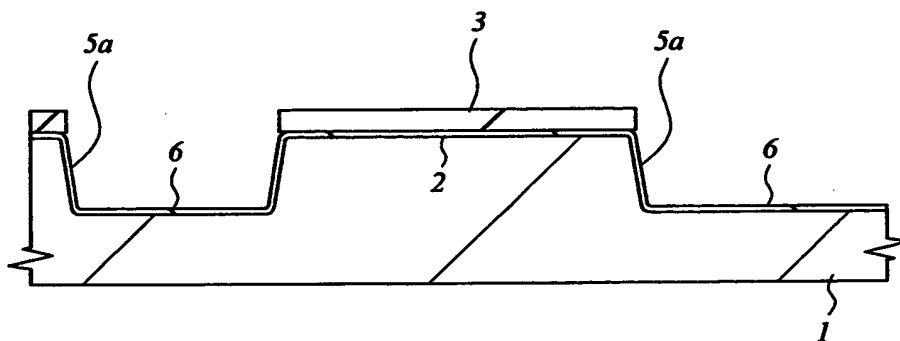
【図3】

図 3



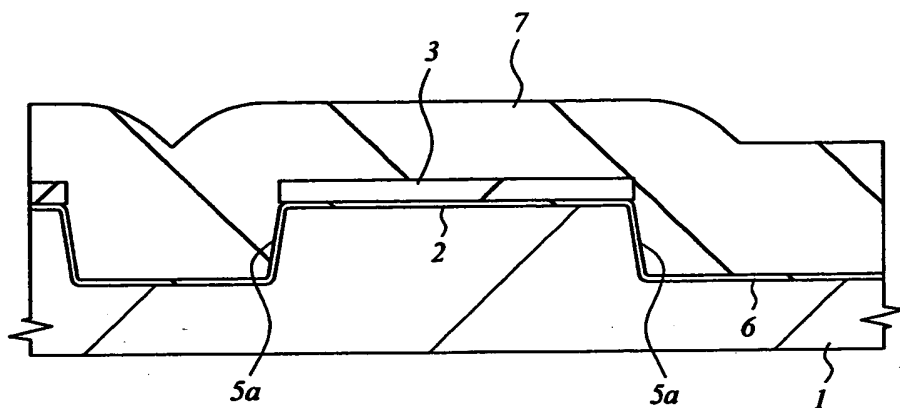
【図4】

図 4



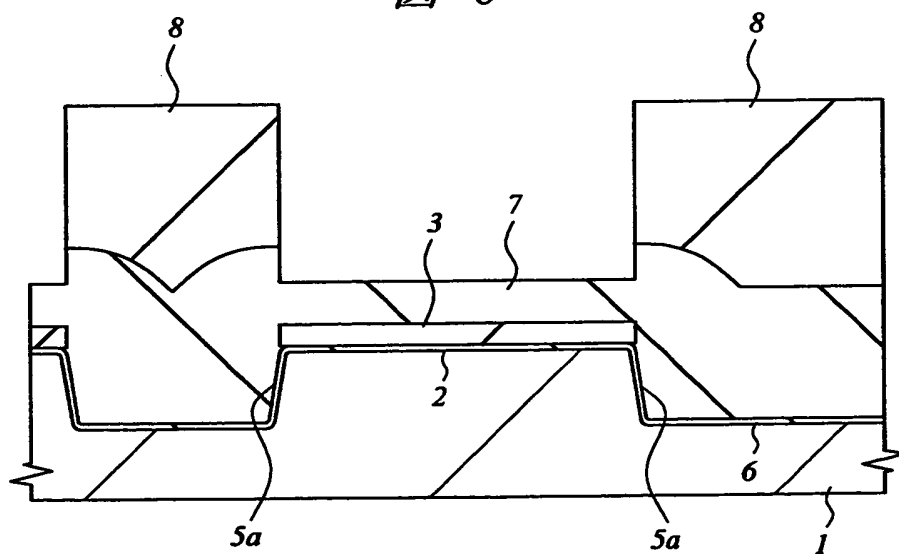
【図5】

図 5



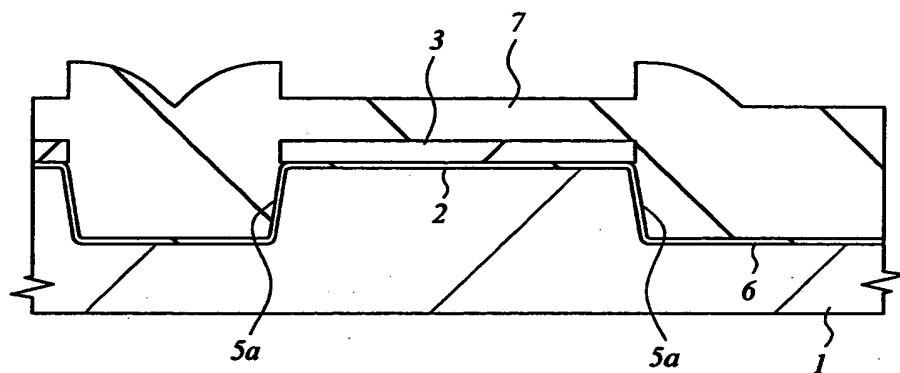
【図6】

図 6



【図7】

図 7



【図8】

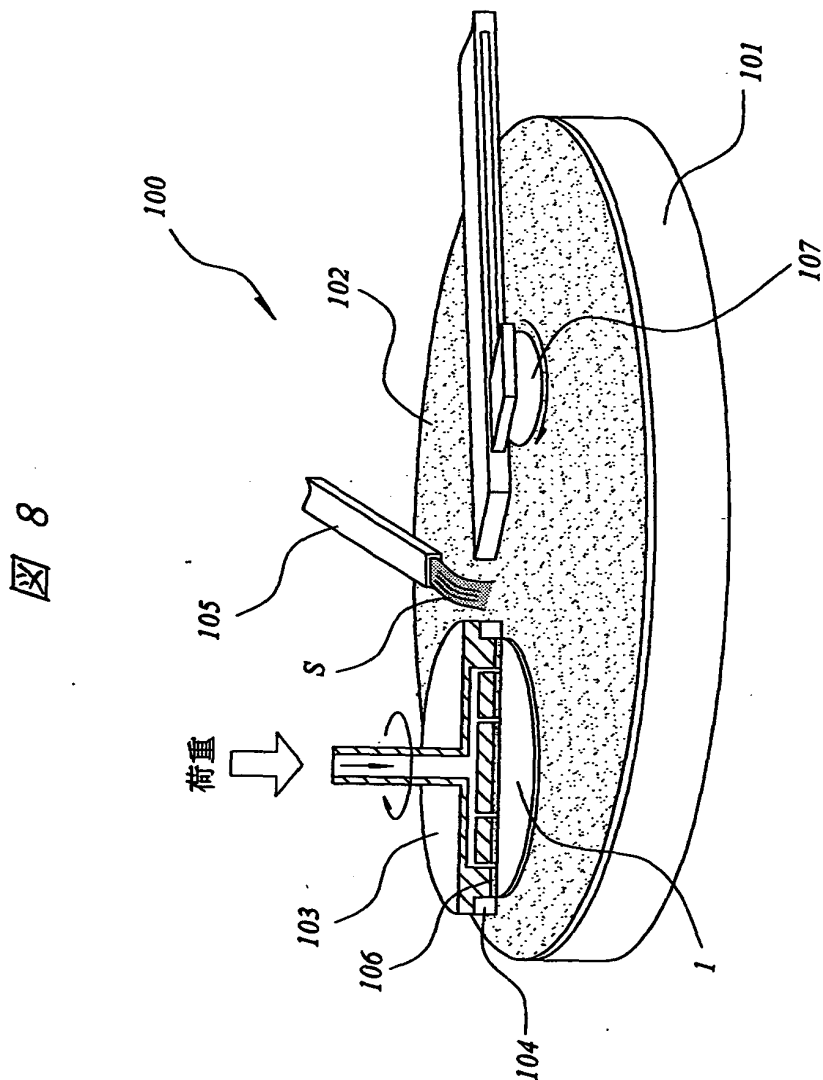
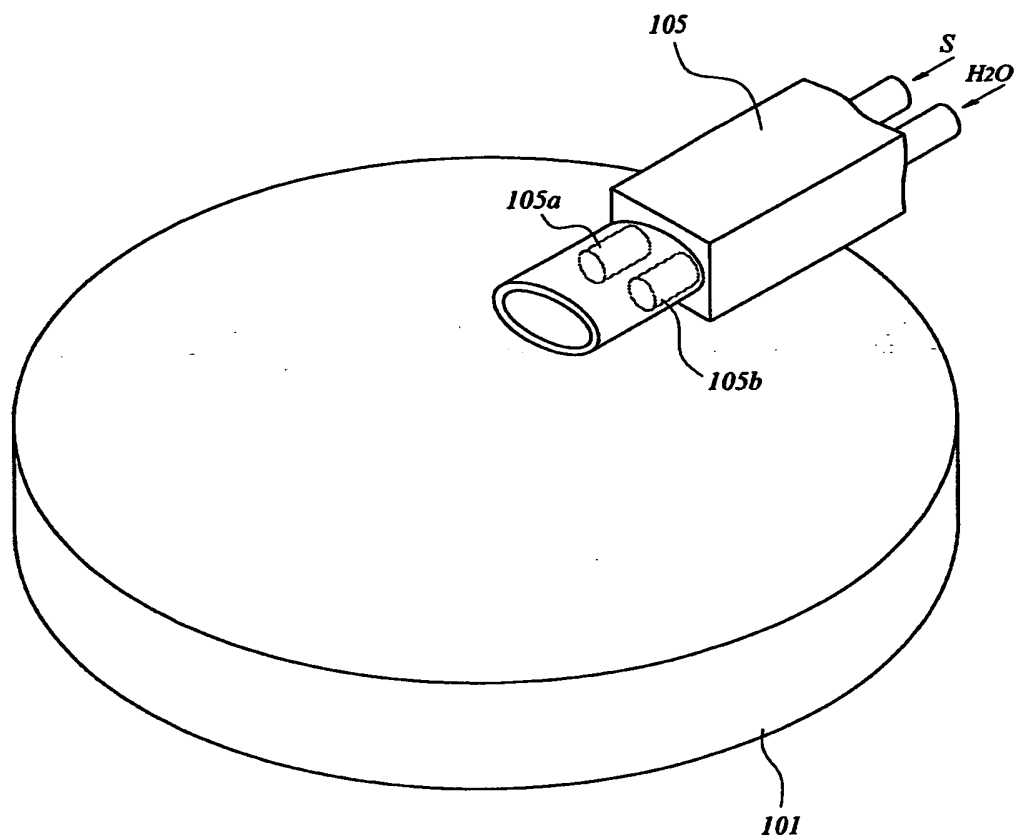


図 8

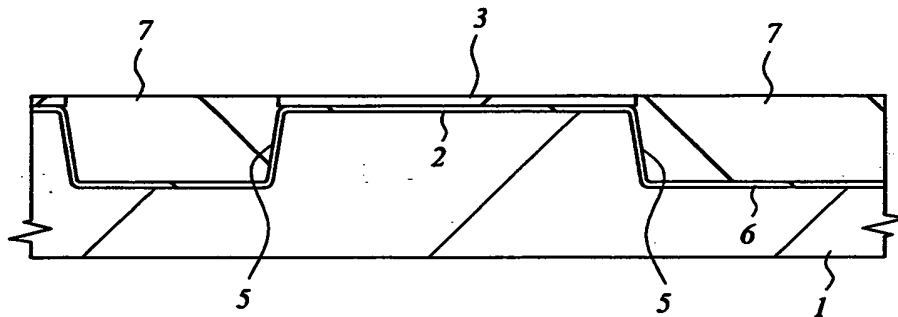
【図9】

図 9



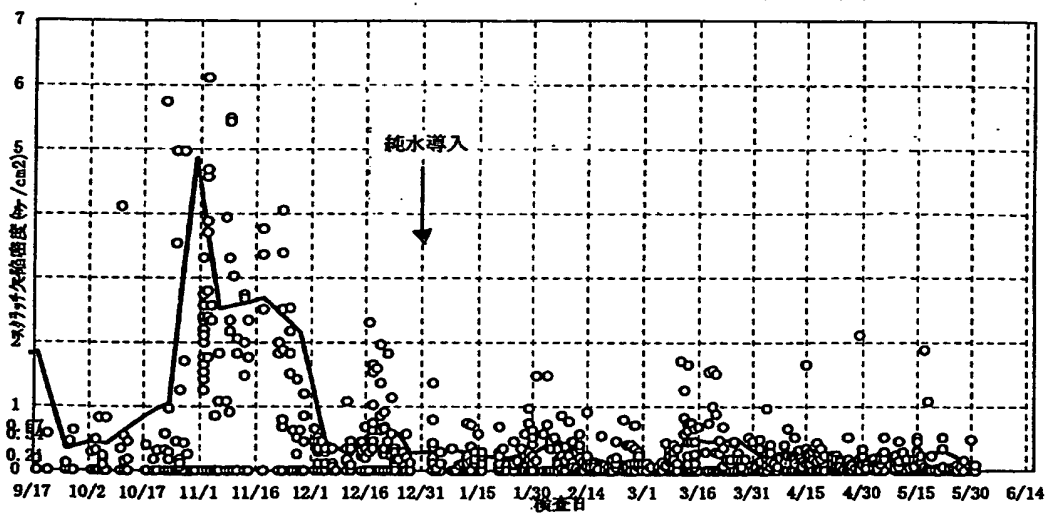
【図10】

図 10



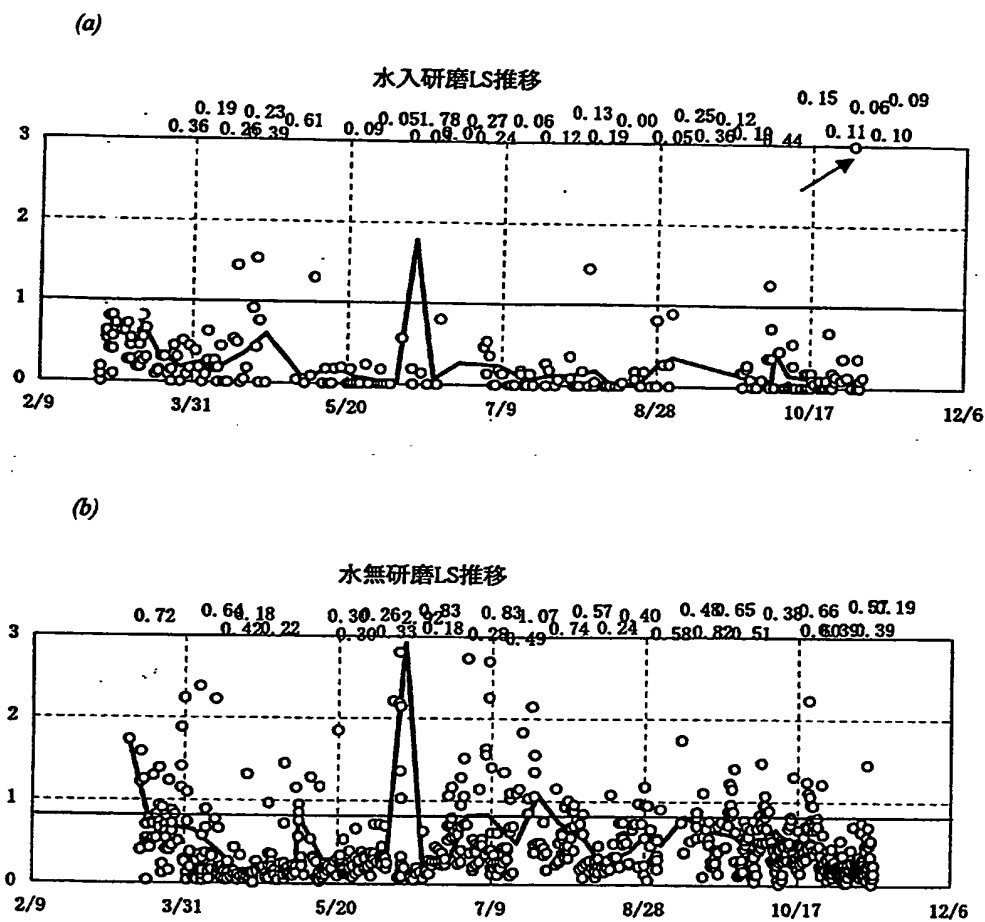
【図11】

図 11



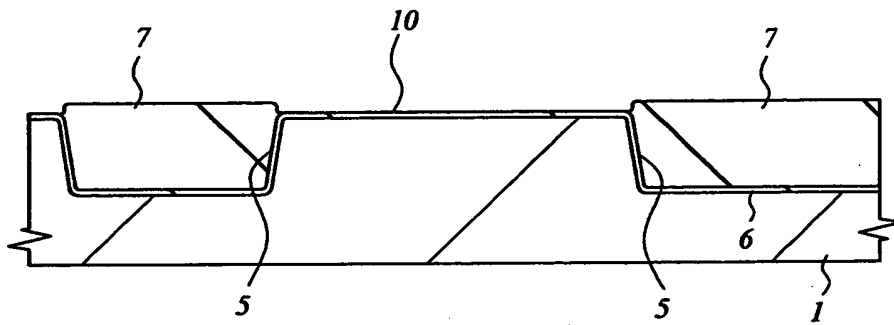
【図12】

図 12



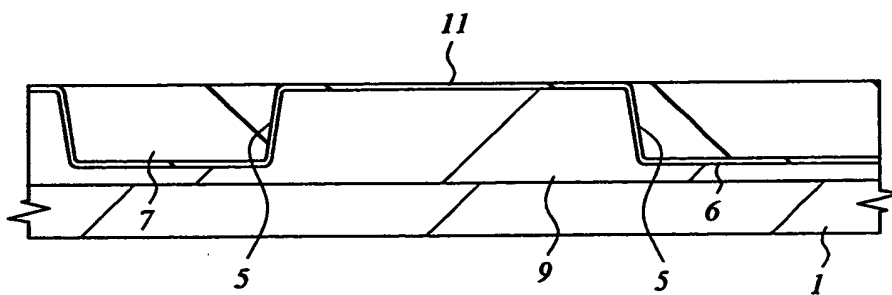
【図13】

図 13



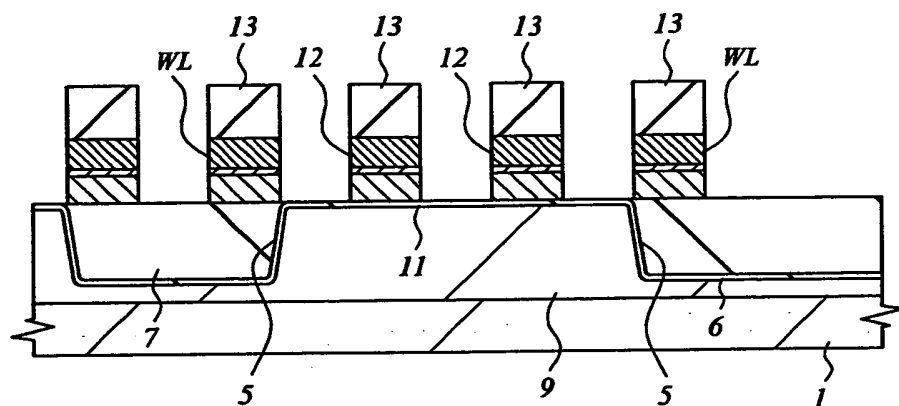
【図14】

図 14



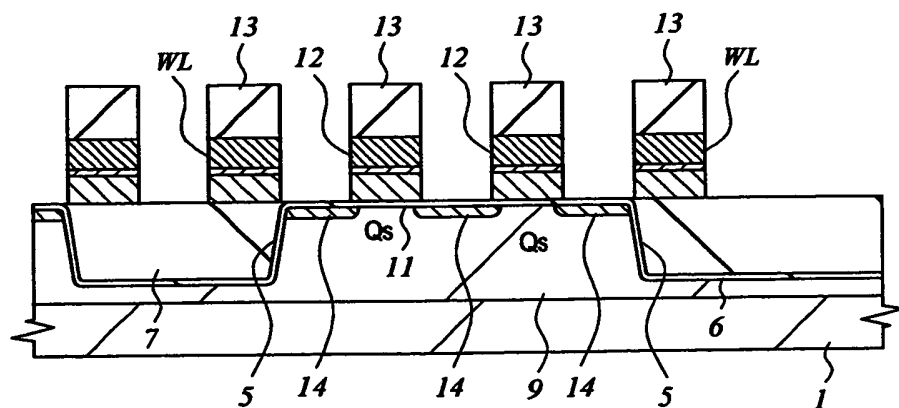
【図15】

図 15

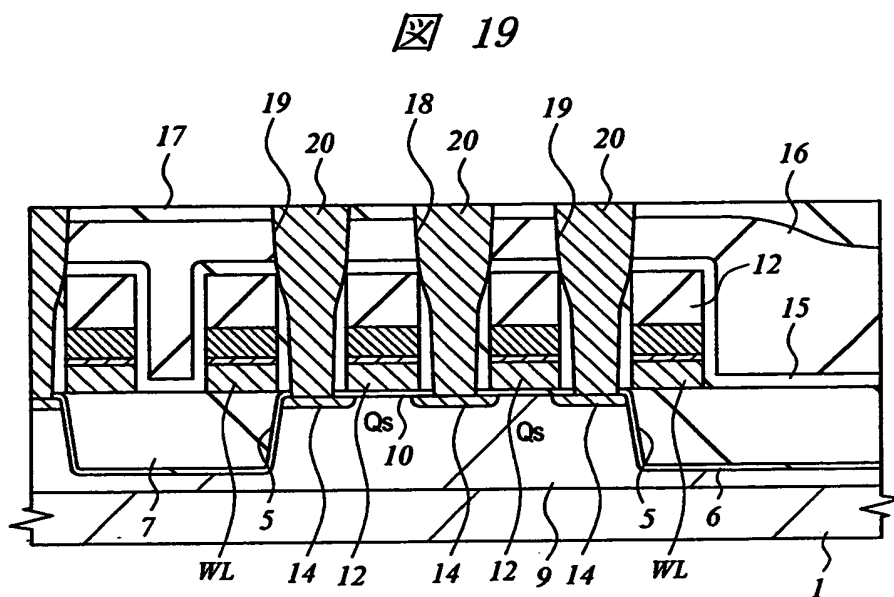


【図16】

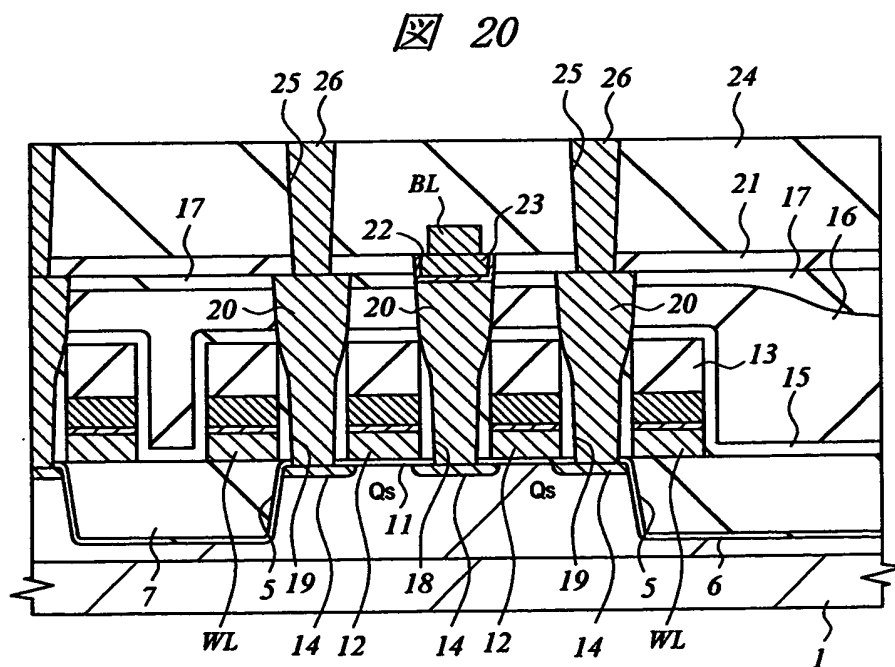
図 16



【图 19】

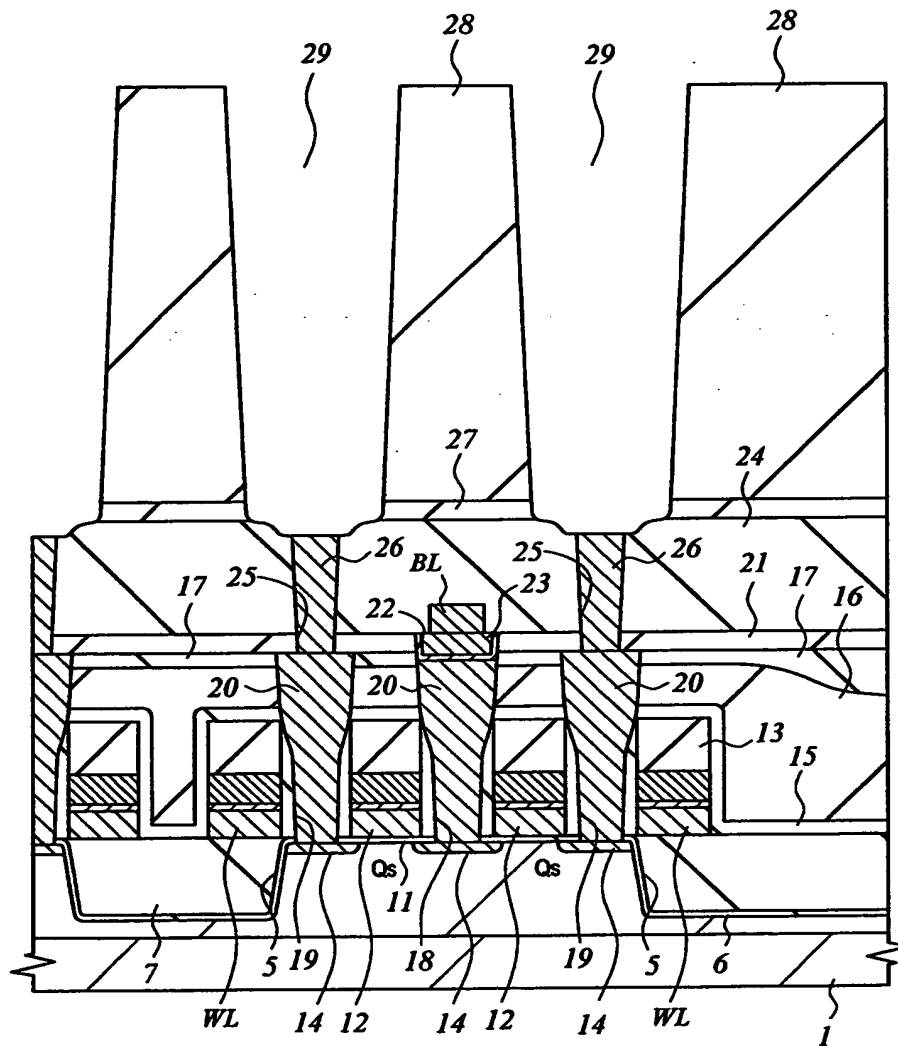


【図 20】



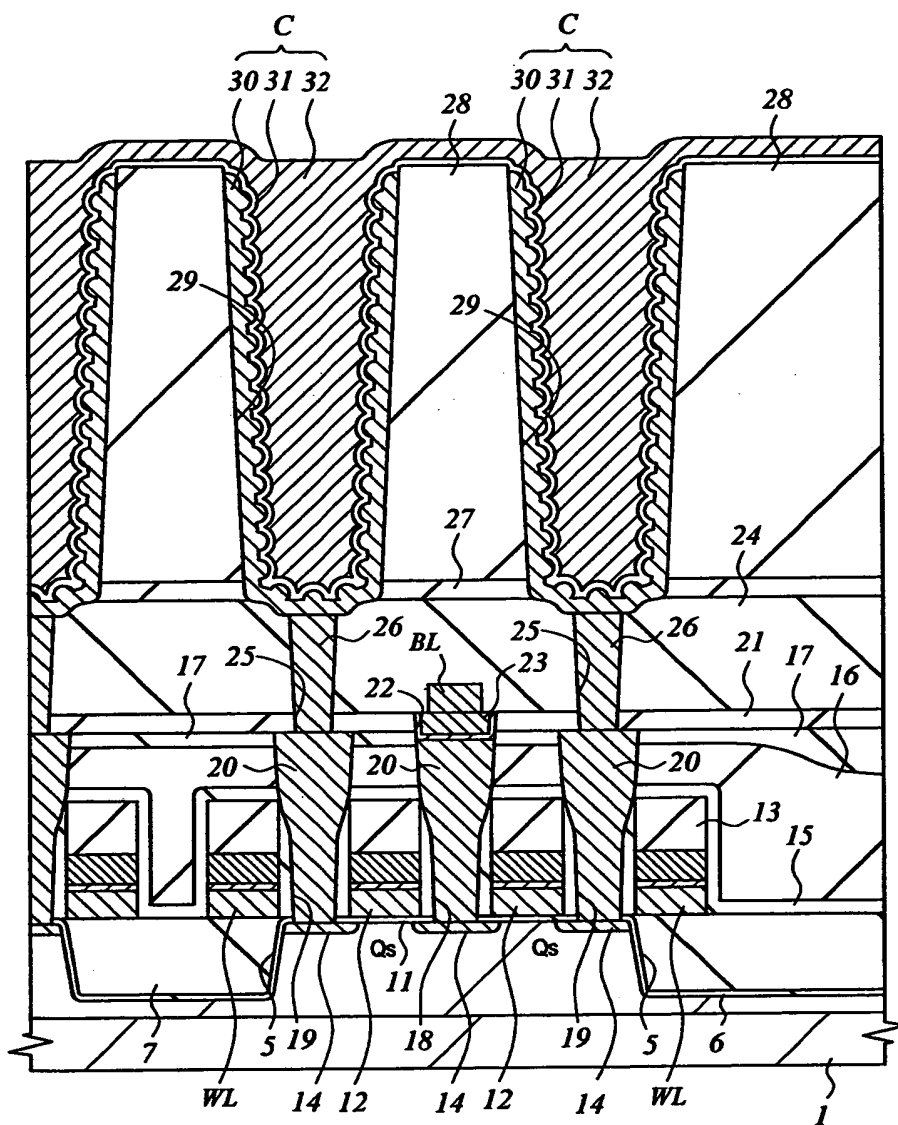
【図 2 1】

図 21



【図22】

図 22



【書類名】 要約書

【要約】

【課題】 化学機械研磨によるマイクロスクラッチを低減する。

【解決手段】 研磨パッド102とウエハ1の被研磨面との間に供給する直前の研磨スラリーSを純水で希釈する。研磨スラリーSを純水で希釈してその容積を大きくすることにより、研磨スラリーSに含まれる凝集粒子の濃度が低下する。研磨スラリーSと純水の混合比率は、1（研磨スラリー）：1～1.2（純水）程度とし、希釈後の研磨スラリーSに含まれるシリカ濃度を3～9重量%、好ましくは4～8重量%、より好ましくは8重量%程度に調整する。

【選択図】 図8

特2001-121642

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所